

A06

**SEMICONDUCTOR DEVICE**

Patent Number: JP2002042465  
Publication date: 2002-02-08  
Inventor(s): HAYAKAWA GORO  
Applicant(s): MITSUBISHI ELECTRIC  
Requested Patent: ☐ JP2002042465  
Application: JP20000220010 20000721  
Priority Number(s):  
IPC Classification: G11C11/407; G06F1/26  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To provide a semiconductor device in which the rising speed of the potential of a power supply node is made fast during a power supply turn-on.

**SOLUTION:** In a VPP generating circuit of DRAM, when a boosting potential VPP is lower than a target potential  $V_T (=VCC)$ , a standby detector 5 sets a signal  $\phi_{5}$  to an 'H' level, a standby detector 3 is made inactive, a VPP-VCC direct coupled circuit 6 is made active and a boosting potential VPP line and a power supply potential VCC line are coupled. Thus, the rising speed of the boosting potential VPP is made faster during a power supply turn-on.

---

Data supplied from the esp@cenet database - I2

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト (参考)	
G 1 1 C 11/407		G 1 1 C 11/34	3 5 4 F	5 B 0 1 1
G 0 6 F 1/26		G 0 6 F 1/00	3 3 0 D	5 B 0 2 4

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願2000-220010 (P2000-220010)

(22) 出願日 平成12年7月21日 (2000.7.21)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 早川 吾郎

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

Fターム(参考) 5B011 DB05 DB21 EB01 G004 MB11

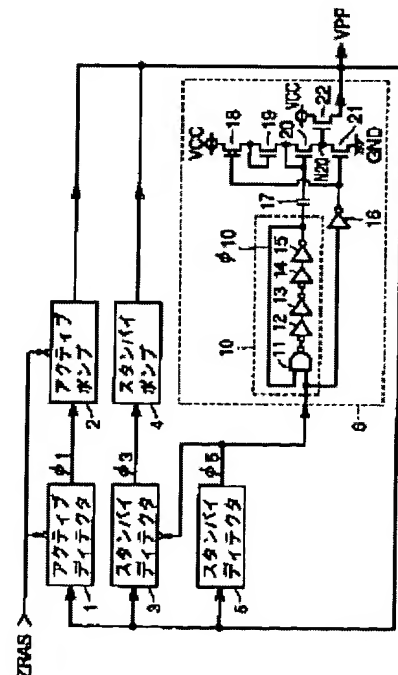
5B024 AA01 AA15 BA27 CA07 CA15

## (54) 【発明の名称】 半導体装置

## (67) 【要約】

【課題】 電源投入時における電源ノードの電位の立上がり速度が速い半導体装置を提供する。

【解決手段】 DRAMのVPP発生回路において、スタンバイディテクタ5は、昇圧電位VPPが目標電位VT' (=VCC) よりも低い場合は、信号φ5を「H」レベルにし、スタンバイディテクタ3を非活性化させるとともにVPP-VCC直結回路6を活性化させて、昇圧電位VPPのラインと電源電位VCCのラインとを結合させる。したがって、電源投入時における昇圧電位VPPの立上がり速度の高速化を図ることができる。



【特許請求の範囲】

【請求項１】 外部電源電位のラインと、前記外部電源電位よりも高い内部電源電位に充電される電源ノードとを備えた半導体装置であって、前記電源ノードの電位が前記外部電源電位よりも低い場合を検出し、低い場合に第１の信号を活性化レベルにする第１の電位検出回路、

前記外部電源電位のラインと前記電源ノードとの間に接続され、前記第１の信号が活性化レベルにされたことに応じて導通し前記電源ノードに前記外部電源電位を与えるためのスイッチング素子、

前記電源ノードの電位が前記内部電源電位よりも低い場合を検出し、低い場合に第２の信号を活性化レベルにする第２の電位検出回路、および前記第２の信号が活性化レベルにされたことに応じて活性化され、前記電源ノードに正電荷を供給する第１のチャージポンプ回路を備える、半導体装置。

【請求項２】 前記第２の電位検出回路は、前記第１の信号が活性化レベルにされたことに応じて、前記電源ノードの電位に関係なく前記第２の信号を非活性化レベルにする、請求項１に記載の半導体装置。

【請求項３】 前記スイッチング素子は第１のトランジスタであり、

さらに、前記第１の信号が活性化レベルにされたことに応じて活性化され、前記第１のトランジスタの入力電極に正電荷を与えて前記第１のトランジスタを導通させるための第２のチャージポンプ回路、および前記第１のトランジスタの入力電極と接点電位のラインとの間に接続され、前記第１の信号が非活性化レベルにされたことに応じて導通し前記第１のトランジスタを非導通にさせるための第２のトランジスタを備える、請求項１または請求項２に記載の半導体装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】 この発明は半導体装置に関し、特に、外部電源電位のラインと、外部電源電位よりも高い内部電源電位に充電される電源ノードとを備えた半導体装置に関する。

【０００２】

【従来の技術】 図８は、従来のダイナミックランダムアクセスメモリ（以下、DRAMと称す）の構成を示すブロック図である。図８において、このDRAMは、クロック発生回路８１、行および列アドレスバッファ８２、行デコーダ８３、列デコーダ８４、メモリマトリクス５、入力バッファ８８および出力バッファ８９を備え、メモリマトリクス５はメモリアレイ８６およびセンスアンプ＋入出力制御回路８７を含む。

【０００３】 クロック発生回路８１は、外部から与えられる制御信号／RAS、／CAS、／Wに基づいて所定の動作モードを選択し、DRAM全体を制御する。

【０００４】 行および列アドレスバッファ８２は、外部から与えられるアドレス信号A<sub>0</sub>～A<sub>i</sub>（ただし、iは0以上の整数である）に基づいて行アドレス信号RA<sub>0</sub>～RA<sub>i</sub>および列アドレス信号CA<sub>0</sub>～CA<sub>i</sub>を生成し、生成した信号RA<sub>0</sub>～RA<sub>i</sub>およびCA<sub>0</sub>～CA<sub>i</sub>をそれぞれ行デコーダ８３および列デコーダ８４に与える。

【０００５】 メモリアレイ８６は、図９に示すように、行列状に配列された複数のメモリスセルMCと、各行に対応して設けられたワード線WLと、各列に対応して設けられたビット線BL、／BLとを含む。メモリスセルMCは、アクセス用のNチャネルMOSトランジスタQと情報記憶用のキャパシタCとを含む。

【０００６】 行デコーダ８３は、行および列アドレスバッファ８２から与えられた行アドレス信号RA<sub>0</sub>～RA<sub>i</sub>に従って、複数のワード線WLのうちのいずれかのワード線WLを選択し、そのワード線WLを選択レベルの「H」レベルにする。これにより、そのワード線WLに対応する各メモリスセルMCのNチャネルMOSトランジスタQが導通し、各メモリスセルMCのデータの書込／読出が可能になる。

【０００７】 列デコーダ８４は、行および列アドレスバッファ８２から与えられた列アドレス信号CA<sub>0</sub>～CA<sub>i</sub>に従って、複数のビット線BL、／BLのうちのいずれかのビット線BL、／BLを選択する。

【０００８】 センスアンプ＋入出力制御回路８７は、列デコーダ８４によって選択されたビット線BL、／BLをデータ入出力線対IO、／IOの一方端に接続する。データ入出力線対IO、／IOの他方端は、入力バッファ８８および出力バッファ８９に接続される。入力バッファ８８は、書込モード時に、制御信号／Wにตอบสนองして、外部から入力されたデータD<sub>j</sub>（ただし、jは0以上の整数である）をデータ入出力線対IO、／IOを介して選択されたメモリスセルMCに与える。出力バッファ８９は、読出モード時に、外部から入力される制御信号／OEにตอบสนองして、選択されたメモリスセルMCからの読出データD<sub>j</sub>を外部に出力する。

【０００９】 このようなDRAMでは、メモリスセルMCのデータの書込／読出を行なう際には、NチャネルMOSトランジスタQによる電圧降下を小さくするため、電源電位VCCよりも高い昇圧電位VPPをワード線WLに与えている。このため、DRAMには、昇圧電位VPPを生成するためのVPP発生回路が設けられている。

【００１０】 図１０は、そのようなVPP発生回路の構成を示すブロック図である。図１０において、このVPP発生回路は、アクティブディテクタ９１、アクティブポンプ９２、スタンバイディテクタ９３およびスタンバイポンプ９４を備える。

【００１１】 アクティブディテクタ９１は、外部制御信号／RASに基づいて生成される内部制御信号ZRAS

が活性化レベルの「L」レベルになったことに応じて活性化され、昇圧電位VPPが目標電位VTよりも低いかなかを検出し、低い場合は信号φ91を「H」レベルにし、高い場合は信号φ91を「L」レベルにする。アクティブポンプ92は、信号φ91が「H」レベルになったことに応じて昇圧電位VPPのラインに正電荷を供給する。アクティブポンプ92の電荷供給能力は、アクティブ時における昇圧電位VPPのレベル低下を防止するため比較的大きなレベルに設定されている。

【0012】スタンバイディテクタ93は、昇圧電位VPPが目標電位VTよりも低いかなかを常時検出し、低い場合は信号φ93を「H」レベルにし、高い場合は信号φ93を「L」レベルにする。スタンバイポンプ94は、信号φ93が「H」レベルになったことに応じて活性化され、昇圧電位VPPのラインに正電荷を供給する。スタンバイポンプ94は、主にスタンバイ時における微小リークによる昇圧電位VPPのレベル低下を防止するために設けられている。スタンバイポンプ94の電荷供給能力は、スタンバイ時における消費電流を最小限にするため、比較的小きなレベルに設定されている。

【0013】図11は、図10に示したVPP発生回路の動作を示すタイムチャートである。ある時刻に電源電位VCCが投入されると、スタンバイディテクタ93によって昇圧電位VPPが目標電位VTよりも低いことが検出され、信号φ93が「H」レベルに立上げられる。これに応じてスタンバイポンプ94が活性化されてスタンバイポンプ94から昇圧電位VPPのラインに正電荷が供給され、昇圧電位VPPのレベルが上昇する。

【0014】このとき信号ZRASのレベル変化がなければ、アクティブディテクタ91およびアクティブポンプ92は動作せず、昇圧電位VPPのラインはスタンバイポンプ94のみによって充電される。昇圧電位VPPが目標電位VTを超えると、スタンバイディテクタ93によって信号φ93が「L」レベルにされ、スタンバイポンプ94が非活性化される。

【0015】この後、昇圧電位VPPのラインからの微小リークによって昇圧電位VPPのレベルが目標電位VTよりも低くなると、スタンバイディテクタ93がスタンバイポンプ94を動作させて昇圧電位VPPのレベルを上昇させ、昇圧電位VPPが目標電位VTよりも高くなると再びスタンバイポンプ94を停止させる。このような動作を繰返すことにより、昇圧電位VPPは目標電位VTに保持される。

【0016】

【発明が解決しようとする課題】このように従来のVPP発生回路では、電源投入時における昇圧電位VPPのラインの充電は電荷供給能力が小さなスタンバイポンプ94のみによって行なわれていたため、電源投入から昇圧電位VPPが目標電位VTに到達するまでの時間が非常に長くなり、電源投入直後のデバイス動作が不安定に

なるという問題があった。

【0017】それゆえに、この発明の主たる目的は、電源投入時における内部電源電位の立上がり速度が速い半導体装置を提供することである。

【0018】

【課題を解決するための手段】この発明に係る半導体装置は、外部電源電位のラインと、外部電源電位よりも高い内部電源電位に充電される電源ノードとを備えた半導体装置であって、電源ノードの電位が外部電源電位よりも低いかなかを検出し、低い場合に第1の信号を活性化レベルにする第1の電位検出回路と、外部電源電位のラインと電源ノードとの間に接続され、第1の信号が活性化レベルにされたことに応じて導通し電源ノードに外部電源電位を与えるためのスイッチング素子と、電源ノードの電位が内部電源電位よりも低いかなかを検出し、低い場合に第2の信号を活性化レベルにする第2の電位検出回路と、第2の信号が活性化レベルにされたことに応じて活性化され、電源ノードに正電荷を供給する第1のチャージポンプ回路とを備えたものである。

【0019】好ましくは、第2の電位検出回路は、第1の信号が活性化レベルにされたことに応じて、電源ノードの電位に関係なく第2の信号を非活性化レベルにする。

【0020】また好ましくは、スイッチング素子は第1のトランジスタであり、さらに、第1の信号が活性化レベルにされたことに応じて活性化され、第1のトランジスタの入力電極に正電荷を与えて第1のトランジスタを導通させるための第2のチャージポンプ回路と、第1のトランジスタの入力電極と接地電位のラインとの間に接続され、第1の信号が非活性化レベルにされたことに応じて導通し第1のトランジスタを非導通にさせるための第2のトランジスタとが設けられる。

【0021】

【発明の実施の形態】図1は、この発明の一実施の形態によるVPP発生回路の構成を示す回路ブロック図である。図1において、このVPP発生回路は、アクティブディテクタ1、アクティブポンプ2、スタンバイディテクタ3、5、スタンバイポンプ4およびVPP-VCC直結回路6を備える。

【0022】アクティブディテクタ1は、内部制御信号ZRASが活性化レベルの「L」レベルになったことに応じて活性化され、昇圧電位VPPが目標電位VTよりも低いかなかを検出し、低い場合は信号φ1を「H」レベルにし、高い場合は信号φ1を「L」レベルにする。

【0023】すなわちアクティブディテクタ1は、図2に示すように、遅延回路25、NANDゲート26、PチャネルMOSトランジスタ28~30、NチャネルMOSトランジスタ31、32、インバータ34~38およびトランスファージェット39を含む。信号ZRASは、遅延回路25を介してNANDゲート26の一方入力ノードに入力されるとともに、NANDゲート26の

他方入力ノードに入力される。遅延回路25およびNANDゲート26は、立上がりエッジ遅延回路27を構成する。立上がりエッジ遅延回路26の出力信号すなわちNANDゲート26の出力信号φ27は、信号ZRASの立下がりエッジに反応して「L」レベルから「H」レベルに立上がり、信号ZRASの立上がりエッジから遅延回路25の遅延時間経過後に「H」レベルから「L」レベルに立下がる。

【0024】PチャネルMOSトランジスタ28のソースは昇圧電位VPPを受け、そのゲートは接地され、そのドレインはノードN28に接続される。PチャネルMOSトランジスタ28は、所定の抵抗値Rを有する抵抗素子を構成する。PチャネルMOSトランジスタ29、30およびNチャネルMOSトランジスタ31、32は、定電流回路33を構成する。MOSトランジスタ29、31はノードN28と接地電位GNDのラインとの間に直列接続され、MOSトランジスタ30、32は電源電位VCCのラインと接地電位GNDのラインとの間に直列接続される。PチャネルMOSトランジスタ29、30のゲートはともにPチャネルMOSトランジスタ30のドレインに接続される。PチャネルMOSトランジスタ29、30は、カレントミラー回路を構成する。NチャネルMOSトランジスタ31、32のゲートは、信号φ27を受ける。定電流回路33は、信号φ27が「H」レベルになっている期間に活性化され、ノードN28から一定電流Iを流出させる。このとき、ノードN28の電位V28は、 $V28 = VPP - IR$ となる。

【0025】インバータ34は、所定のしきい値電位Vthを有し、ノードN28の電位V28がしきい値電位Vthよりも高い場合は「L」レベルの信号を出力し、ノードN28の電位V28がしきい値電位Vthよりも低い場合は「H」レベルの信号を出力する。 $VPP = VT$ のとき、 $VPP - IR = Vth$ となるようにI、R、Vthが設定されている。したがって、 $VPP > VT$ の場合はインバータ34の出力信号φ34は「L」レベルになり、 $VPP < VT$ の場合はインバータ34の出力信号φ34は「H」レベルになる。

【0026】インバータ35~38およびトランスファージゲート39は、ラッチ回路40を構成する。トランスファージゲート39およびインバータ36、38は、インバータ34の出力ノードとアクティブディテクタ1の出力ノードN40との間に直列接続される。信号φ27は、トランスファージゲート39のNチャネルMOSトランジスタ側のゲートに直接入力されるとともに、インバータ35を介してトランスファージゲート39のPチャネルMOSトランジスタ側のゲートに入力される。インバータ37は、インバータ36に逆並列に接続される。ラッチ回路40は、信号φ27が「H」レベルから「L」レベルに立下がる直前の信号φ34のレベルをラッチす

る。ラッチ回路40の出力信号は、アクティブディテクタ1の出力信号φ1となる。

【0027】アクティブポンプ2は、信号φ1の立上がりエッジに反応して昇圧電位VPPのラインに所定量の正電荷を供給する。アクティブポンプ2は、図3に示すように、インバータ41~49、キャパシタ50~53およびNチャネルMOSトランジスタ54~64を含む。

【0028】信号φ1は、インバータ41、インバータ41~45、インバータ41~43、46~48、およびインバータ41~43、49を介してそれぞれキャパシタ50~53の一方電極に入力される。キャパシタ50~53の他方電極は、それぞれNチャネルMOSトランジスタ62のゲート（ノードN50）、NチャネルMOSトランジスタ60のゲート（ノードN51）、インバータ49の電源ノード49aおよびNチャネルMOSトランジスタ63のゲートおよびドレイン（ノードN53）に接続される。NチャネルMOSトランジスタ62は、電源電位VCCのラインとノードN53との間に接続される。NチャネルMOSトランジスタ60は、電源電位VCCのラインとインバータ49の電源ノード49aとの間に接続される。NチャネルMOSトランジスタ63のソースは、昇圧電位VPPのライン（ノードN64）に接続される。

【0029】NチャネルMOSトランジスタ54、57、61、64は、それぞれノードN50、N51、49a、N64に電源電位VCCよりも各々のしきい値電圧Vthnだけ低い電位VCC-Vthnを与える。NチャネルMOSトランジスタ55、56と58、59は、それぞれノードN50、N51の電位がVCC+2Vthnよりも高くなるのを防止するために設けられている。

【0030】信号φ1が「L」レベルの場合は、キャパシタ50、51の一方電極は「H」レベルになり、キャパシタ52、53の一方電極は「L」レベルになる。したがって、キャパシタ50、51の電極間電圧は略0Vになり、キャパシタ52、53の電極間電圧は略電源電位VCCとなる。次いで信号φ1が「L」レベルから「H」レベルに立上がると、キャパシタ50、51の一方電極が「L」レベルになってノードN50、N51が「L」レベルになり、NチャネルMOSトランジスタ62、60が非導通になる。また、キャパシタ52の一方電極が「H」レベルになってノード49aが略2VCCとなり、さらにキャパシタ53の一方電極が略2VCCになってノードN53が略3VCCとなる。このため、ノードN53から昇圧電位VPPのライン（ノードN64）に正電荷が供給される。したがって、信号φ1が「L」レベルから「H」レベルに立上がるごとにアクティブポンプ2から昇圧電位VPPのラインに正電荷が供給される。

【0031】スタンバイディテクタ3は、スタンバイディテクタ5の出力信号φ5が「L」レベルの場合に活性化され、昇圧電位VPPが目標電位VTよりも低い場合は信号φ3を「H」レベルにし、高い場合は信号φ3を「L」にする。

【0032】図4は、スタンバイディテクタ3の構成を示す回路図である。図4において、スタンバイディテクタ3が図2のアクティブディテクタ1と異なる点は、立上がりエッジ遅延回路27およびラッチ回路40が除去され、インバータ65およびNORゲート66が追加されている点である。

【0033】定電流回路33には信号φ27の代わりに電源電位VCCが与えられており、定電流回路33は常時活性化されている。インバータ34の出力信号φ34は、インバータ65を介してNORゲート66の一方入力ノードに入力される。NORゲート66の他方入力ノードは信号φ5を受ける。NORゲート66の出力信号は、スタンバイディテクタ3の出力信号φ3となる。

【0034】昇圧電位VPPが目標電位VTよりも低い場合は、インバータ34の出力信号φ34は「H」レベルになる。昇圧電位VPPが目標電位VTよりも高い場合は、インバータ34の出力信号φ34は「L」レベルになる。信号φ5が「L」レベルの場合は、インバータ34の出力信号φ34がインバータ65およびNORゲート66を通過して信号φ3となる。信号φ5が「H」レベルの場合は、信号φ3はインバータ34の出力信号φ34のレベルに関係なく「L」レベルに固定される。

【0035】スタンバイポンプ4は、スタンバイディテクタ3の出力信号φ3が「H」レベルになったことに応じて活性化され、所定期間で昇圧電位VPPのラインに正電荷を供給する。スタンバイポンプ4は、図5に示すように、リングオシレータ70およびポンプ回路77を備える。

【0036】リングオシレータ70は、NANDゲート71およびインバータ72～75を含む。信号φ3は、NANDゲート71の一方入力ノードに入力される。インバータ72～75は、NANDゲート71の出力ノードと他方入力との間に直列接続される。インバータ75の出力信号は、インバータ76で反転されてポンプ信号φPMPとなる。信号φ3が「H」レベルになると、リングオシレータ70が活性化され、信号φPMPはインバータ72～75の遅延時間ごとに反転するクロック信号となる。信号φ3が「L」レベルになると、リングオシレータ70が非活性化され、信号φPMPは「L」レベルに固定される。

【0037】ポンプ回路77は、図3で示したアクティブポンプ2と同じ構成である。ポンプ回路77は、信号φPMPが「L」レベルから「H」レベルに立上がるごとに昇圧電位VPPのラインに所定量の正電荷を供給する。ただし、ポンプ回路77の電荷供給能力は、アクテ

ィブポンプ2の電荷供給能力よりも小さく設定されている。

【0038】スタンバイディテクタ5は、常時活性化され、昇圧電位VPPが目標電位VT' (=VCC) よりも低い場合は信号φ5を「H」レベルにし、高い場合は信号φ5を「L」レベルにする。

【0039】図6は、スタンバイディテクタ5の構成を示す回路図である。図6において、スタンバイディテクタ5が図4のスタンバイディテクタ3と異なる点は、NチャネルMOSトランジスタ28がNチャネルMOSトランジスタ28'で置換されている点と、インバータ65およびNANDゲート66が除去されている点である。NチャネルMOSトランジスタ28'は、NチャネルMOSトランジスタ28よりも低い抵抗値R'を有する抵抗素子を構成する。インバータ34の出力信号がスタンバイディテクタ5の出力信号となる。

【0040】スタンバイディテクタ5のノードN28の電位V28はスタンバイディテクタ3のノードN28の電位V28よりも高くなるので、昇圧電位VPPを0Vから徐々に上昇させた場合は、信号φ5の方が信号φ34よりも速く「H」レベルから「L」レベルに立下がる。VPP=VCCのとき、VPP-R'=Vthとなるように、R'、Vthが設定されている。

【0041】したがって、VPP>VCCの場合はインバータ34の出力信号φ5は「L」レベルになり、VPP<VCCの場合はインバータ34の出力信号φ5は「H」レベルになる。

【0042】図1に戻って、VPP-VCC直結回路6は、NANDゲート11、インバータ12～15、キャパシタ17、PチャネルMOSトランジスタ18およびNチャネルMOSトランジスタ19～22を含む。NANDゲート11およびインバータ12～15はリングオシレータ10を構成し、リングオシレータ10、インバータ16、キャパシタ17およびMOSトランジスタ18～21はチャージポンプ回路を構成する。インバータ12～15は、NANDゲート11の出力ノードと一方入力ノードとの間に直列接続される。信号φ5はNANDゲート11の他方入力ノードに入力される。リングオシレータ10は、信号φ5が「H」レベルの場合に活性化され、所定期間のクロック信号φ10をキャパシタ17の一方電極に与える。

【0043】MOSトランジスタ18～21は、電源電位VCCのラインと接地電位GNDのラインとの間に直列接続される。信号φ5は、インバータ16を介してMOSトランジスタ18、21のゲートに入力される。NチャネルMOSトランジスタ19のゲートは、そのソースに接続される。NチャネルMOSトランジスタ20のゲートは、そのソースに接続されるとともにキャパシタ17の他方電極に接続される。NチャネルMOSトランジスタ19、20の各々は、ダイオードを構成する。N

チャンネルMOSトランジスタ22は、電源電位VCCのラインと昇圧電位VPPのラインとの間に直列接続され、そのゲートはノードN20に接続される。

【0044】信号φ5が「H」レベルの場合は、PチャンネルMOSトランジスタ18が導通し、NチャンネルMOSトランジスタが非導通になってキャパシタ17の他方電極およびノードN20に電源電位VCCが与えられる。また、リングオシレータ10が活性化されてクロック信号φ10が生成され、信号φ10が「L」レベルのときにキャパシタ17が充電され、信号φ10が「H」レベルのときにキャパシタ17が放電され、ノードN20が略2VCCに昇圧される。これにより、NチャンネルMOSトランジスタ22が導通して電源電位VCCのラインと昇圧電位VPPのラインとが結合される。

【0045】図7は、図1～図6で示したVPP発生回路の動作を示すタイムチャートである。ある時刻に電源電位VCCが投入されると、まずスタンバイディテクタ5の出力信号φ5が「L」レベルから「H」レベルに立上がり、スタンバイディテクタ3の出力信号φ3が「L」レベルに固定されてスタンバイポンプ4が非活性化される。同時にVPP-VCC直結回路6のリングオシレータ10が活性化されてNチャンネルMOSトランジスタ22が導通し、電源電位VCCのラインと昇圧電位VPPのラインとが結合される。

【0046】これにより、昇圧電位VPPのラインは電源電位VCCのラインから直接充電されるので、電荷供給能力の小さなスタンバイポンプ4で昇圧電位VPPのラインを充電していた従来に比べ、電源投入時における昇圧電位VPPの立上がり速度が速くなる。

【0047】次いで、昇圧電位VPPが目標電位VT'に到達すると、スタンバイディテクタ5の出力信号φ5が「H」レベルから「L」レベルに立下がり、VPP-VCC直結回路6のNチャンネルMOSトランジスタ22が非導通になるとともに、スタンバイディテクタ3が活性化される。この後は、スタンバイ時においては昇圧電位VPPが目標電位VTよりも高い場合はスタンバイディテクタ3の出力信号φ3が「L」レベルになってスタンバイポンプ4が非活性化され、昇圧電位VPPが目標電位VTよりも低い場合はスタンバイディテクタ3の出力信号φ3が「H」レベルになってスタンバイポンプ4が活性化され、昇圧電位VPPが目標電位VTに保持される。また、アクティブ時においては、スタンバイディテクタ3およびスタンバイポンプ4に加えてアクティブディテクタ1およびアクティブポンプ2も活性化され、昇圧電位VPPが目標電位VTに保持される。

【0048】この実施の形態では、電源投入時において昇圧電位VPPが所定電位VT'よりも低い場合は電源電位VCCのラインと昇圧電位VPPのラインとを結合するので、電源投入時における昇圧電位VPPの立上がり速度の高速化および回路動作の安定化を図ることがで

きる。

【0049】また、MOSトランジスタの酸化膜が破壊された場合のようにスタンバイポンプ4の能力以上のリークが発生した場合に発生する昇圧電位VPPのレベル低下を防止し、回路の安定動作を保障することができる。

【0050】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0051】

【発明の効果】以上のように、この発明に係る半導体装置では、電源ノードの電位が外部電源電位よりも低い場合に第1の信号を活性化レベルにする第1の電位検出回路と、第1の信号が活性化レベルにされたことに応じて導通し、電源ノードに外部電源電位を与えるためのスイッチング素子と、電源ノードの電位が内部電源電位よりも低い場合に第2の信号を活性化レベルにする第2の電位検出回路と、第2の信号が活性化レベルにされたことに応じて活性化され、電源ノードに正電荷を供給する第1のチャージポンプ回路とが設けられる。したがって、電源投入時は、スイッチング素子が導通して外部電源電位が電源ノードに与えられるので、電源ノードの電位の立上がり速度の高速化を図ることができる。

【0052】好ましくは、第2の電位検出回路は、第1の信号が活性化レベルにされたことに応じて、電源ノードの電位に関係なく第2の信号を非活性化レベルにする。この場合は、スイッチング素子の導通時は第1のチャージポンプ回路が非活性化されるので、消費電流の低減化を図ることができる。

【0053】また好ましくは、スイッチング素子は第1のトランジスタであり、さらに、第1の信号が活性化レベルにされたことに応じて活性化され、第1のトランジスタの入力電極に正電荷を与えて第1のトランジスタを導通させるための第2のチャージポンプ回路と、第1のトランジスタの入力電極と接点電位のラインとの間に接続され、第1の信号が非活性化レベルにされたことに応じて導通し第1のトランジスタを非導通にさせるための第2のトランジスタとが設けられる。この場合は、スイッチング素子を容易に構成することができ、その制御を容易に行なうことができる。

【図面の簡単な説明】

【図1】 この発明の一実施の形態によるVPP発生回路の構成を示す回路ブロック図である。

【図2】 図1に示したアクティブディテクタの構成を示す回路ブロック図である。

【図3】 図1に示したアクティブポンプの構成を示す回路図である。

【図4】 図1に示したスタンバイディテクタ3の構成を示す回路図である。

【図5】 図1に示したスタンバイポンプの構成を示す回路図である。

【図6】 図1に示したスタンバイディテクタ5の構成を示す回路図である。

【図7】 図1～図6に示したVPP発生回路の電源投入時における動作を示すタイムチャートである。

【図8】 従来のDRAMの全体構成を示すブロック図である。

【図9】 図8に示したメモリアレイの構成を示す回路ブロック図である。

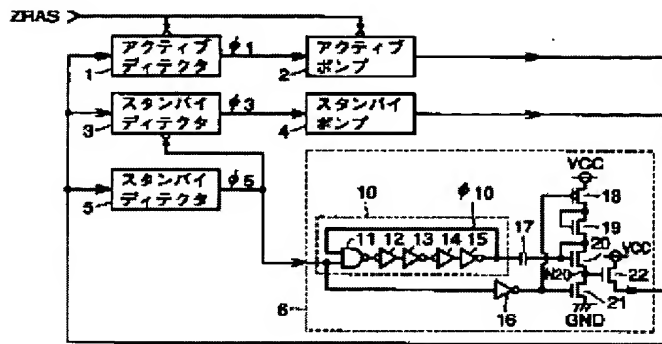
【図10】 図8に示したDRAMに含まれるVPP発生回路の構成を示すブロック図である。

【図11】 図10に示したVPP発生回路の電源投入時における動作を示すタイムチャートである。

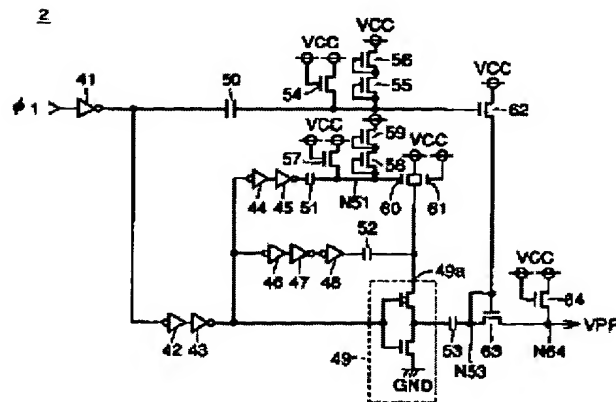
【符号の説明】

1, 91 アクティブディテクタ、2, 92 アクティブポンプ、3, 5, 93 スタンバイディテクタ、4, 94 スタンバイポンプ、6 VPP-VCC直結回路、10, 70 リングオシレータ、11, 26, 71 NANDゲート、12～16, 34～38, 41～49, 55, 72～76 インバータ、17, 50～53 Cキャパシタ、18, 28～30 PチャネルMOSトランジスタ、19～22, 31, 32, 54～64, Q NチャネルMOSトランジスタ、25 遅延回路、27 立上がりエッジ遅延回路、33 定電流回路、40 ラッチ回路、66 NORゲート回路、77 ポンプ回路、81 クロック発生回路、82 行および列アドレスバッファ、83 行デコーダ、84 列デコーダ、85 メモリマツト、86 メモリアレイ、87 センサンプ+入出力制御回路、88 入カバッファ、89 出カバッファ、MC メモリセル、WLワード線、BL、/BL ビット線対。

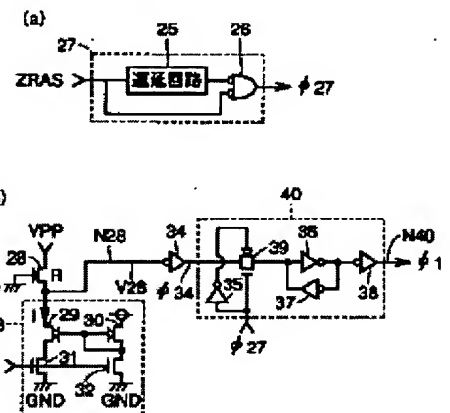
【図1】



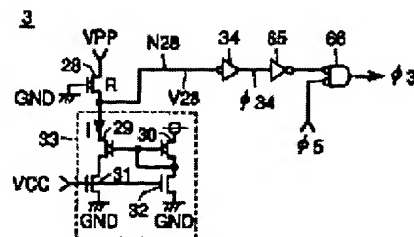
【図3】



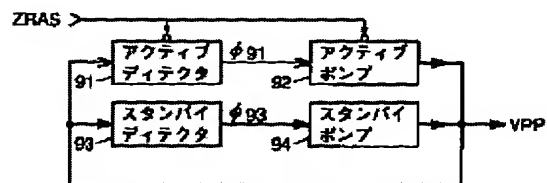
【図2】



【図4】



【図10】







【圖 1 1】

